

Making silicon-on-nothing architecture for high-speed CMOS signal- and low voltage power devices, includes formation of internal passivated or insulated cavities in stacked semiconductor assemblies

Patent Number: ☐ [FR2795554](#)
Publication date: 2000-12-29
Inventor(s): JURCZAK MALGORZATA; SKOTNICKI THOMAS
Applicant(s): FRANCE TELECOM (FR)
Requested Patent: TW451334
Application Number: FR19990008248 19990628
Priority Number(s): FR19990008248 19990628
IPC Classification: H01L21/336; H01L21/302
EC Classification: [H01L21/336D3](#), [H01L21/762D](#), [H01L29/06B3C](#), [H01L29/51B](#), [H01L29/786A](#), [H01L29/786E2](#)
Equivalents: ☐ [EP1192653](#) (WO0101477), ☐ [WO0101477](#)

Abstract

A stack of layers (14-17) formed on a main surface of a silicon substrate (12) includes at least one assembly of two layers, of which the lower is germanium or a combination of germanium and silicon (14, 16), with an upper layer of silicon (15, 17). When the stack comprises more than one assembly of two layers, it has a first assembly (14, 15) immediately adjacent to the substrate and a last assembly (16, 17) furthest from it. On the uppermost layer of silicon, a thin dielectric gate layer (18) and a gate (19) are formed. Source and drain regions (22, 23) are formed along two opposite sides of the gate, in the thin gate dielectric layer and in the stack. At least one hole (25) is etched into the stack, at least to the lower layer of germanium or the combination cited. Selective lateral etching follows through the hole, to form tunnels (26, 27) below the grid (19) and optionally internal passivation, or filling of the tunnels with dielectric.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

WO 01-01477
~~DS 515 267 250~~

① RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

⑪ N° de publication : 2 795 554

(à n'utiliser que pour les
commandes de reproduction)

⑫ N° d'enregistrement national : 99 08248

⑬ Int Cl⁷ : H 01 L 21/336, H 01 L 21/302

⑫ DEMANDE DE BREVET D'INVENTION

A1

⑭ Date de dépôt : 28.06.99.

⑮ Priorité :

⑯ Date de mise à la disposition du public de la
demande : 29.12.00 Bulletin 00/52.

⑰ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑱ Références à d'autres documents nationaux
apparentés :

⑴ Demandeur(s) : FRANCE TELECOM Société ano-
nyme — FR.

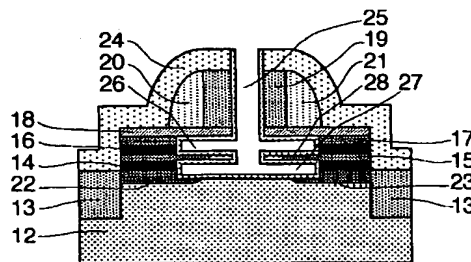
⑵ Inventeur(s) : SKOTNICKI THOMAS et JURCZAK
MALGORZATA.

⑶ Titulaire(s) :

⑷ Mandataire(s) : CASALONGA ET JOSSE.

⑸ PROCÉDE DE GRAVURE LATÉRALE PAR TROUS POUR FABRIQUER DES DIS POSITIFS SEMI-
CONDUCTEURS.

⑹ L'invention concerne un procédé de fabrication d'un
dispositif semi-conducteur à structure SON. Sur un substrat
de silicium 12, on forme un empilement de couches compren-
nant un premier et un second ensembles successifs, cha-
cun constitué, en référence au substrat, d'une couche
inférieure de l'alliage silicium-germanium (SiGe) 14, 16 et
d'une couche supérieure de silicium 15, 17. De manière
classique, on forme une couche de diélectrique de grille 18,
une grille 19, des espaceurs 20, 21, des régions de source
et de drain 22, 23 par implantation ionique, et une couche
de passivation externe 24. On réalise ensuite un trou verti-
cal 25 dans la grille jusque dans la couche inférieure de SiGe
14 de façon à graver une partie des couches SiGe 14, 16 et
former des tunnels 26, 27. Puis, on réalise une passivation
interne des parois du trou 25 et des tunnels 26, 27 de telle
façon que les tunnels peuvent rester vides ou remplis.



FR 2 795 554 - A1



Procédé de gravure latérale par trous pour fabriquer des dispositifs semi-conducteurs.

La présente invention concerne un procédé de gravure latérale par trous pour fabriquer des éléments semi-conducteurs. Elle trouve une application intéressante dans les dispositifs semi-conducteurs CMOS à haute performance pour le traitement rapide de signaux et/ou des applications basse tension/basse puissance, et plus particulièrement dans les transistors MOS à effet de champ (MOSFET).

Un des facteurs limitatifs des MOSFETs d'architecture massive classiques est l'effet de substrat qui nuit aux performances du transistor. Cet inconvénient est évité dans les MOSFETs d'architecture silicium sur isolant (SOI) en séparant le mince film de silicium du substrat par une couche enterrée d'oxyde de silicium.

L'élimination de l'effet de substrat dans les MOSFETs d'architecture SOI à film mince totalement appauvri résulte en un accroissement du courant de drain.

Cependant, les MOSFETs d'architecture SOI ultramince souffrent d'une résistance source/drain (S/D) élevée du fait de jonctions peu profondes limitées par l'épaisseur de la couche de silicium et d'une mauvaise conductivité thermique. En outre, le coût de fabrication des substrats d'architecture SOI est élevé, ce qui a limité leur introduction sur le marché.

Pour remédier aux inconvénients de ces dispositifs d'architecture SOI ou massive, on a proposé des dispositifs semi-conducteurs à base d'architecture dite "SON" (silicon on nothing) combinant les avantages des architectures massives et silicium sur isolant (SOI). Ces dispositifs semi-conducteurs, tels qu'un transistor MOS à effet

de champ, permettent des épaisseurs du film de silicium ainsi que celles de l'oxyde enterré extrêmement minces, de l'ordre de quelques nanomètres.

Un tel dispositif d'architecture dite SON dans lequel la couche diélectrique enterrée est limitée à la zone sous-jacente à la région de grille du dispositif est présenté à la figure 1.

En référence à la figure 1, ce dispositif semi-conducteur comprend un substrat de silicium 1 ayant une surface supérieure revêtue d'une mince couche de diélectrique de grille 4 et dans lequel sont formées des régions de source et de drain 5 et 6 définissant entre elles une région de canal 1a de longueur minimale prédéterminée, une grille 7 sur la surface supérieure du corps au-dessus de la région de canal 1a. Ce dispositif comprend en outre dans la région de canal 1a entre les régions de source et de drain 5 et 6 une cavité isolante 2 continue ou discontinue délimitant avec les régions de source et de drain 5 et 6 une mince couche de silicium 3 de 1 à 50 nm d'épaisseur et située au-dessus de la cavité isolante 2, cette cavité isolante ayant une longueur représentant au moins 70% de la longueur minimale prédéterminée de la région de canal 1a. La grille 7 est flanquée d'espaceurs 8 et 9. Des contacts 10, 11 sont prévus sur les régions de source et de drain 5, 6.

Dans la suite, on utilisera, de façon interchangeable, aussi bien le terme cavité que tunnel.

Dans le dispositif décrit ci-dessus, on entend par longueur minimale prédéterminée de la région de canal, la longueur de canal la plus courte utilisable dans un dispositif de technologie donnée.

La cavité isolante peut être constituée de tout matériau diélectrique solide ou gazeux approprié mais est de préférence une cavité remplie d'air.

Le procédé de fabrication du dispositif semi-conducteur qui vient d'être décrit comprend :

- la formation sur une surface supérieure d'un substrat de silicium 1 d'une couche d'un matériau sélectivement éliminable qui de préférence assure une continuité de maille avec le substrat de silicium 1;
- la formation sur la couche de matériau sélectivement éliminable d'une mince couche de silicium 3 ayant une épaisseur de 1 à 50 nm et assurant également de préférence une continuité de maille avec le

matériau sélectivement éliminable et par suite avec le substrat de silicium;

- la formation sur la mince couche de silicium 3 d'une mince couche de diélectrique de grille 4;

5 - la formation sur la mince couche de diélectrique de grille 4 d'une grille 7;

10 - la gravure, le long de deux côtés opposés de la grille 7, de la mince couche de diélectrique de grille 4, de la mince couche de silicium 3, de la couche de matériau sélectivement éliminable et d'une partie supérieure du substrat 1 pour former des évidements;

15 - la gravure latérale sélective, partielle ou totale, de la couche de matériau sélectivement éliminable pour former une cavité 2 continue ou des cavités discontinues, remplies d'air, dont la longueur totale représente au moins 70% d'une longueur minimale prédéterminée de la région de canal;

- facultativement, le remplissage de la cavité 2 ou des cavités avec un matériau diélectrique solide; et

- le remplissage des évidements avec du silicium et leur dopage pour former les régions de source et de drain 5 et 6.

20 La formation des régions de source et de drain 5 et 6 se fait de préférence par une croissance épitaxiale de silicium puis une implantation ionique de dopants. L'implantation est avantageusement suivie d'un recuit pour rendre électriquement actifs les dopants implantés dans les régions de source et de drain 5 et 6. Le recuit est de courte durée sous des

25 températures élevées.

Cependant, dans le procédé de fabrication décrit ci-dessus, la création de la cavité 2 après formation de la grille 7 et avant formation des régions de source et de drain 5 et 6 présente des inconvénients dans le cas où l'on désire laisser cette cavité 2 remplie d'air. En effet, l'activation (le

30 recuit) des régions de source et de drain 5 et 6 entraîne l'exposition de la cavité 2 à des températures élevées. L'exposition des cavités remplies d'air à des températures de recuit élevées peut conduire à une détérioration des cavités.

La présente invention a pour objet de remédier aux

35 inconvénients du procédé précité en formant une cavité remplie d'air après

l'activation des régions de source et de drain 5 et 6.

La présente invention a donc pour objet un procédé de fabrication d'un dispositif semi-conducteur à structure SON (Silicon on Nothing) dans lequel la cavité remplie d'air n'a pas été exposée à des températures élevées au cours de l'étape d'activation des régions de source et de drain.

L'invention propose donc un procédé de fabrication d'un élément semi-conducteur à structure SON comprenant les étapes suivantes :

- la formation sur une surface principale d'un substrat de silicium d'un empilement de couches comprenant au moins un ensemble de deux couches constitué d'une couche inférieure de germanium ou d'alliage de germanium et silicium et d'une couche supérieure de silicium, et ledit empilement, lorsqu'il comprend plus d'un ensemble de deux couches, comprenant un premier ensemble immédiatement adjacent au substrat et un dernier ensemble le plus éloigné du substrat;

- la formation sur la couche supérieure de silicium de l'ensemble ou du dernier ensemble de l'empilement d'une mince couche de diélectrique de grille et d'une grille;

- la formation de régions de source et de drain le long de deux côtés opposés de la grille dans la mince couche de diélectrique de grille et dans l'empilement;

- la gravure dans l'empilement d'au moins un trou au moins jusqu'à la couche inférieure de germanium ou d'alliage de germanium et silicium de l'ensemble ou du premier ensemble de l'empilement;

- la gravure latérale sélective, par l'intermédiaire du trou d'au moins une partie de la (ou des) couche(s) de germanium ou d'alliage de germanium et silicium de l'empilement pour former un (ou des) tunnel(s) en dessous de la grille; et facultativement

- la passivation interne ou le remplissage du (ou des) tunnel(s) avec un matériau diélectrique.

En d'autres termes, on réalise d'abord les régions de source et de drain alors que les couches sélectivement éliminables en germanium ou alliage de germanium et silicium sont présentes. C'est seulement après la formation des régions de source et de drain que l'on grave, à travers le trou, le matériau sélectivement éliminable pour former le ou les tunnels, c'est-

à-dire une cavité ou des cavités remplies d'air.

Selon un mode de mise en oeuvre de l'invention, la gravure du trou consiste en la réalisation d'au moins un trou vertical traversant la grille, la mince couche de diélectrique de grille et l'empilement sous la grille jusqu'à la couche inférieure de germanium ou d'alliage de germanium et silicium du premier ensemble. Il apparaîtra aisément à l'homme du métier que dans la mesure où les dimensions de la grille le permettent, on peut réaliser plusieurs trous à travers la grille.

Selon une variante avantageuse de l'invention, on grave au moins deux trous verticaux traversant chacun respectivement la région de source et la région de drain jusqu'à la couche de germanium ou d'alliage de germanium et silicium du premier ensemble. Comme précédemment, il apparaîtra aisément à l'homme du métier que dans la mesure où les dimensions des régions de source et de drain le permettent, on peut réaliser plusieurs trous dans chaque région. Cette variante permet la réalisation de dispositif nécessitant une faible dimensionnement de la grille alors que la gravure de trou dans la grille conviendrait plus à des dispositifs tels que les capteurs dans lesquels la grille peut être de grande dimension.

D'une façon générale, on peut former les régions de source et de drain par implantation de dopants qui diffusent jusque sous une partie de la grille.

Classiquement, après la formation de la grille, on peut former des espaceurs sur deux côtés latéraux et opposés de la grille. La réalisation de tels espaceurs est bien connue de l'homme du métier.

La formation des régions de source et de drain peut se faire de façon classique par création d'évidements dans l'empilement et jusque dans le substrat le long de deux côtés opposés de la grille, comblement des évidements par croissance épitaxiale de silicium puis implantation de dopants. Toutefois, selon l'invention, on réalise de préférence les régions de source et de drain par implantation de dopants dans l'empilement et jusque dans le substrat après la formation de la grille (flanquée d'espaceurs) et sans création des évidements.

L'implantation de dopants selon l'invention est réalisée de telle façon que, par diffusion latérale, les zones dopées (les régions de source et

de drain) sont sous-jacentes aux espaceurs et à une partie de la grille.

Le ou les trous qui serviront à la gravure latérale de la ou des couches de germanium ou d'alliage de germanium et de silicium peuvent être réalisés par tout procédé classique de gravure tel que, par exemple, une gravure par plasma anisotrope.

La gravure latérale sélective des couches de germanium ou d'alliage SiGe peut être réalisée par l'intermédiaire du ou des trous en utilisant tout procédé classique tel qu'une gravure par plasma ou par attaque chimique sélective au moyen d'une solution oxydante comme cela est bien connu.

De préférence, la gravure latérale sélective de la (ou des) couche(s) de germanium ou d'alliage de germanium et silicium par l'intermédiaire d'un trou, est contrôlée de façon à former un (ou des) tunnel(s) s'étendant jusque sous les espaceurs, par exemple en réglant des paramètres du procédé de gravure notamment le temps et la température de gravure latérale sélective.

Par ailleurs, avant l'étape de la gravure du trou, on recouvre de préférence l'ensemble du dispositif avec une couche d'un matériau de passivation.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée d'un mode de mise en oeuvre nullement limitatif, et des dessins annexés, sur lesquels :

- les figures 2 et 3 sont des vues schématiques en coupe illustrant les étapes principales de mise en oeuvre du procédé de fabrication d'un dispositif selon l'invention, avant la gravure des trous;

- les figures 4a, 4b et 4c sont des vues schématiques en coupe des étapes principales d'un mode de mise en oeuvre du procédé de fabrication d'un dispositif selon l'invention, avec au moins un trou à travers la grille;

- La figure 5 est une vue en coupe simplifiée d'un dispositif réalisé selon le procédé de l'invention illustré par les figures 4a-4c, mais avec deux trous gravés dans la grille; et

- les figures 6a, 6b et 6c sont des vues schématiques en coupe des étapes principales d'un autre mode de mise en oeuvre du procédé de fabrication d'un dispositif, avec des trous à travers les régions de source et de drain, selon l'invention.

Bien que l'invention n'y soit pas limitée, on va maintenant décrire le procédé de fabrication d'un transistor MOSFET à structure SON comportant deux tunnels remplis d'air.

La figure 2 montre un substrat de silicium 12 dont la partie supérieure est entourée par un caisson d'isolement 13 de forme cylindrique à section rectangulaire. Sur la surface supérieure du substrat de silicium 12 délimitée par le caisson d'isolement 13, on forme un premier ensemble composé d'une couche inférieure d'un alliage de silicium et de germanium SiGe 14 et d'une couche supérieure de silicium 15. On forme ensuite sur le premier ensemble, un second ensemble composé également d'une couche inférieure en alliage silicium-germanium 16 et d'une couche supérieure de silicium 17.

Les couches de silicium 15, 17 et en alliage silicium-germanium 14, 16 des deux ensembles sont formées par épitaxie sélective de façon à assurer un transfert de la continuité de mailles du substrat de silicium 12 vers les couches consécutives de silicium 15, 17 et de l'alliage silicium-germanium 14, 16. L'empilement ainsi formé recouvre complètement la surface supérieure du substrat de silicium 12.

Comme on le voit sur la figure 3, d'une manière classique pour la réalisation d'un transistor MOSFET, on fait croître une couche mince de diélectrique de grille 18, qui est généralement du dioxyde de silicium, sur la couche supérieure de silicium 17 du second ensemble. Sur deux côtés latéraux primaires P et P' de l'empilement constitué par les couches 14, 15, 16 et 17, la couche mince du dioxyde de silicium 18 ne recouvre pas le caisson d'isolement 13. Par contre, la couche mince de dioxyde de silicium 18 s'étend jusqu'à sur le caisson d'isolement 13 suivant les deux autres côtés latéraux secondaires de l'empilement. Sur la figure 2, les deux côtés latéraux secondaires sont suivant une direction perpendiculaire aux deux côtés latéraux primaires P et P', c'est-à-dire perpendiculaire au plan de la coupe.

On forme ensuite une grille 19 en silicium polycristallin sur une partie centrale de la couche mince de diélectrique de grille 18 suivant les côtés latéraux primaires P et P', et sur toute la longueur de la couche mince de diélectrique de grille 18 suivant les deux côtés latéraux secondaires jusqu'à sur deux côtés du caisson d'isolement 13. La grille 19 est flanquée

d'espaceurs 20, 21, par exemple constitués de nitrure de silicium Si_3N_4 , sur les deux côtés latéraux primaires P et P'.

5 Les régions de source et de drain 22, 23, sont obtenues par implantation de dopants le long des espaceurs 20, 21, dans la couche de dioxyde de silicium 18, dans les couches de silicium 15, 17 et de l'alliage silicium-germanium 14, 16 des deux ensembles et, éventuellement, dans une partie supérieure du substrat de silicium 12. Les deux régions de source et de drain diffusent latéralement l'une vers l'autre sous les
10 espaceurs sans jamais se connecter. La région 12a sous la grille non atteinte par la diffusion des dopants est une zone active. La zone active 12a est constituée de l'empilement des couches 14, 15, 16 et 17, toutes non dopées.

L'implantation de dopants renferme deux étapes :

- 15 - une première étape d'implantation proprement dite dans laquelle on bombarde les régions cibles avec des ions dopants, et
- une seconde étape dite de recuit ou d'activation des régions de source et de drain, faisant suite à la première, dans laquelle le dispositif est recuit de façon à permettre un réarrangement cristallin des régions implantées et rendre électriquement actifs les dopants (ions). Le recuit est
20 de courte durée sous une température élevée de l'ordre de 850°C au plus.

Puis, d'une manière bien connue de l'homme du métier, on recouvre le dispositif, sur sa partie supérieure, par une couche 24 d'un matériau de passivation tel que le dioxyde de silicium.

25 On forme alors, conformément à la figure 4a, un trou vertical 25 à travers la couche de dioxyde de silicium 24, la couche de silicium en polycristallin formant la grille 19, la couche de dioxyde de silicium 18 et à travers la zone active, c'est-à-dire les couches de silicium 15, 17 et de l'alliage silicium-germanium 14, 16 des deux ensembles jusqu'à une partie supérieure du substrat de silicium 12. On peut former le trou 25 par
30 gravure par plasma anisotrope.

On réalise ensuite, à travers le trou 25, une gravure sélective latérale des tunnels 26 et 27 dans les couches respectives de l'alliage de silicium-germanium 16 et 14 de sorte que cette gravure s'étende latéralement jusque sous les espaceurs.

35 Comme le montre la figure 4b, on effectue une passivation

interne du trou 25 et des tunnels 26 et 27 par oxydation thermique. En d'autres termes, on forme une mince couche de dioxyde de silicium sur les parois du trou 25 et des tunnels 26 et 27. La partie de la couche de silicium 15 non dopée présente dans la zone active constitue le canal 29 du transistor. Le canal 29 est une couche dans laquelle se trouve le trou 25. De préférence, l'épaisseur de la couche de silicium 17 est telle que la croissance de la mince couche de diélectrique de grille 18 et la passivation interne du trou 25 et des tunnels 26 et 27 consomment complètement cette couche de silicium 17 au niveau du tunnel 26. Les épaisseurs des couches de l'alliage silicium-germanium 14, 16 et du dioxyde de silicium 28 (matériau de passivation interne) sont telles que le trou 25 et les tunnels 26, 27 ne sont pas bouchés. Cependant, on peut les boucher par le dioxyde de silicium 28 si nécessaire.

La figure 4c montre un transistor selon l'invention dans lequel on a réalisé deux trous 25 et 31 dans la grille 19. Le trou 31 est obtenu de la même façon que le trou 25 avec création de tunnels et passivation interne. La couche de passivation externe (dioxyde de silicium 24), le caisson d'isolement 13 ainsi que les espaceurs 20, 21 ne sont pas représentés pour des raisons de simplification. Les figures 4a et 4b ont été obtenues dans un plan de coupe suivant la direction A-A' comme illustrée sur la figure 4c. On voit également sur la figure 4c des lignes de courant 30 partant de la région de source 22 et se dirigeant vers la région de drain 23 en passant par le canal 29. La figure 4c montre également les deux côtés latéraux primaires P et P' et les deux côtés latéraux secondaires S et S'.

La figure 5 est une vue en coupe simplifiée d'un dispositif obtenu par le procédé illustré par les figures 4a-4c dans laquelle manque les couches de passivation (24, 28). Le plan de la coupe est suivant une direction S-S' passant par les trous 25 et 31 (figure 4c).

Les figures 6a, 6b et 6c montrent un autre mode de réalisation dans lequel, partant de l'élément de la figure 3, c'est-à-dire une fois la passivation externe (dioxyde de silicium 24) réalisée, on grave au moins un trou 32 dans la région de source 22 et au moins un trou 33 dans la région de drain 23 en traversant la couche de passivation externe 24, la couche mince de diélectrique de grille 18 et les couches de silicium 15, 17 et d'alliage silicium-germanium des ensembles au moins jusqu'à la couche

de l'alliage de silicium-germanium 14. La grille reste intacte. On réalise ensuite une gravure sélective latérale, à travers les trous 32 et 33, pour éliminer les couches en alliage silicium-germanium 14, 16 et former des tunnels 34 et 35. La gravure des couches en alliage de silicium-germanium 16 et 14 peuvent être effectuée par plasma isotrope ou par gravure humide au moyen d'une solution oxydante. Comme dans le cas du trou 25 dans la grille 19, on effectue (figure 6) une passivation interne des parois des tunnels 34, 35 avec du dioxyde de silicium 36 par oxydation thermique. Les tunnels 34 et 35 peuvent également être complètement remplis de dioxyde de silicium 36 ou d'un autre matériau diélectrique.

La figure 6c montre une vue de dessus d'un tel dispositif dans lequel quatre trous sont effectués. On a également représenté des contacts 37, 38 d'accès aux régions de source et de drain 22, 23. La couche de passivation externe (dioxyde de silicium 24), le caisson d'isolement 13 ainsi que les espaceurs 20, 21 ne sont pas représentés pour des raisons de simplification.

Le procédé ainsi décrit permet de réaliser des structures SON dans lesquelles les tunnels sont gravés après la formation des régions de source et de drain. Les tunnels ne sont donc pas soumis à des températures élevées dues à l'activation des régions de source et de drain.

REVENDICATIONS

1. Procédé de fabrication d'un dispositif semi-conducteur, caractérisé par le fait qu'il comprend :

- la formation sur une surface principale d'un substrat de silicium (12) d'un empilement (14, 15, 16, 17) de couches comprenant au moins un ensemble de deux couches constitué d'une couche inférieure de germanium ou d'alliage de germanium et silicium (14, 16) et d'une couche supérieure de silicium (15, 17), et ledit empilement, lorsqu'il comprend plus d'un ensemble de deux couches, comprenant un premier ensemble (14, 15) immédiatement adjacent au substrat et un dernier ensemble (16, 17) le plus éloigné du substrat;
- la formation sur la couche supérieure de silicium de l'ensemble ou du dernier ensemble (17) de l'empilement d'une mince couche de diélectrique de grille (18) et d'une grille (19);
- la formation de régions de source et de drain (22, 23) le long de deux côtés opposés (P, P') de la grille dans la mince couche de diélectrique de grille (18) et dans l'empilement (14, 15, 16, 17);
- la gravure dans l'empilement d'au moins un trou (25) au moins jusqu'à la couche inférieure de germanium ou d'alliage de germanium et silicium (14) de l'ensemble ou du premier ensemble de l'empilement;
- la gravure latérale sélective, par l'intermédiaire du trou d'au moins une partie de la couche ou des couches de germanium ou d'alliage de germanium et silicium (14, 16) de l'empilement pour former un tunnel ou des tunnels (26, 27) en dessous de la grille (19); et facultativement
- la passivation interne ou le remplissage du tunnel ou des tunnels avec un matériau diélectrique (28).

2. Procédé de fabrication selon la revendication 1, caractérisé par le fait que la gravure du trou (25) consiste en la réalisation d'au moins un trou vertical traversant la grille (19), la mince couche de diélectrique de grille (18) et l'empilement (14, 15, 16, 17) sous la grille jusqu'à la couche inférieure de germanium ou d'alliage de germanium et silicium (14) du premier ensemble (14, 15).

3. Procédé de fabrication selon la revendication 1, caractérisé par le fait qu'on grave au moins deux trous (32, 33) verticaux traversant

chacun respectivement la région de source et la région de drain (22, 23) jusqu'à la couche de germanium ou d'alliage de germanium et silicium (14) du premier ensemble (14, 15).

5 4. Procédé de fabrication selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'on forme les régions de source et de drain (22, 23) par implantation de dopants qui diffusent jusque sous une partie de la grille (19).

10 5. Procédé de fabrication selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'après la formation de la grille, on forme des espaceurs (20, 21) sur deux côtés latéraux et opposés (P, P') de la grille.

15 6. Procédé de fabrication selon la revendication 5, caractérisé par le fait que la gravure latérale sélective de la couche ou des couches de germanium ou d'alliage de germanium et silicium (14, 16) par l'intermédiaire d'un trou, est contrôlée de façon à former un tunnel ou des tunnels (26, 27) s'étendant jusque sous les espaceurs (20, 21).

20 7. Procédé de fabrication selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'avant l'étape de la gravure du trou (25, 32, 33), on recouvre l'ensemble du dispositif avec une couche (24) d'un matériau de passivation.

1/4

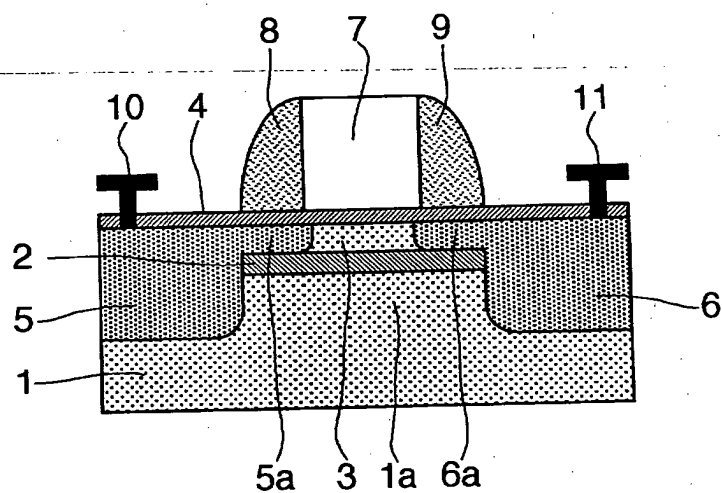
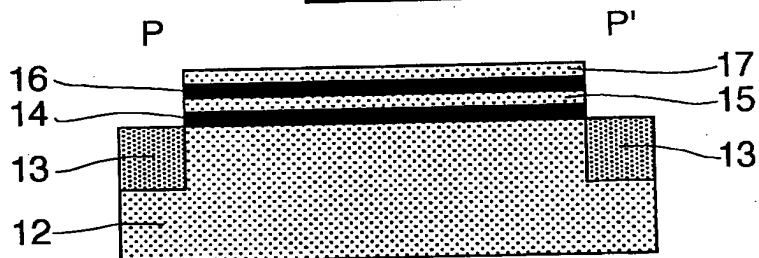
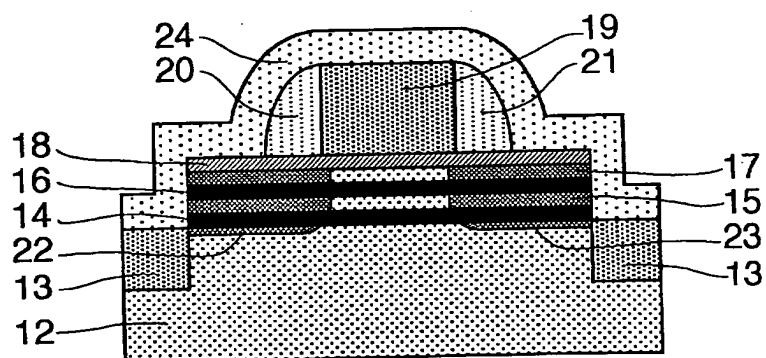
FIG.1FIG.2FIG.3

FIG.4a

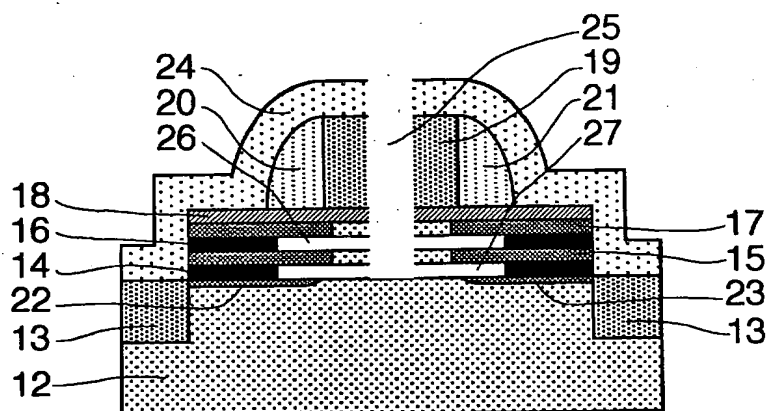


FIG.4b

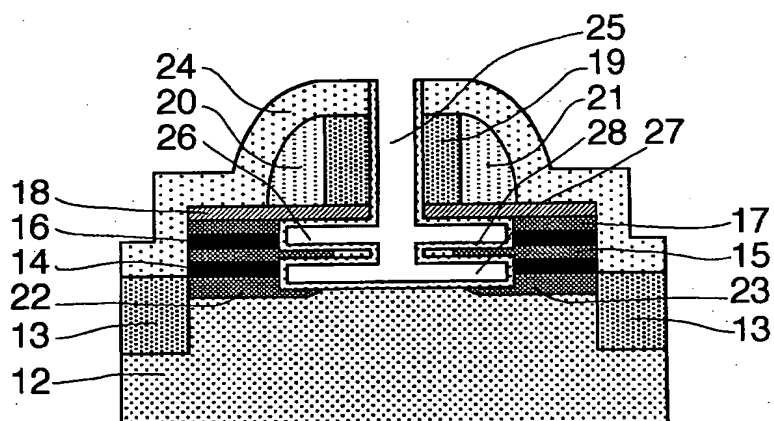
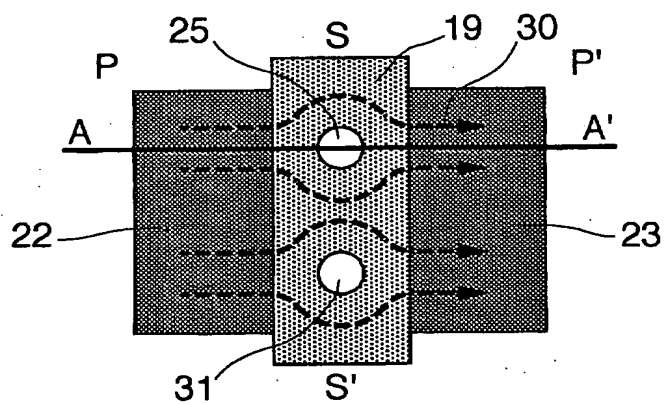
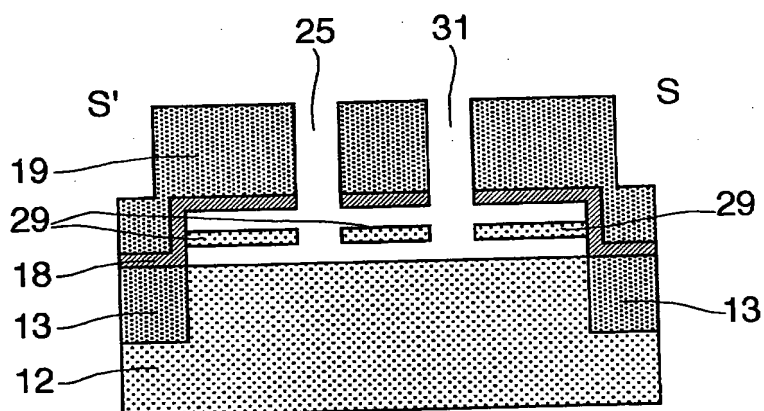


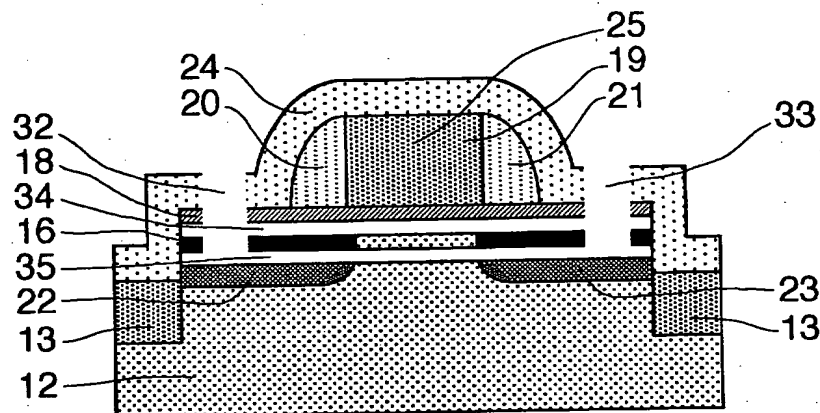
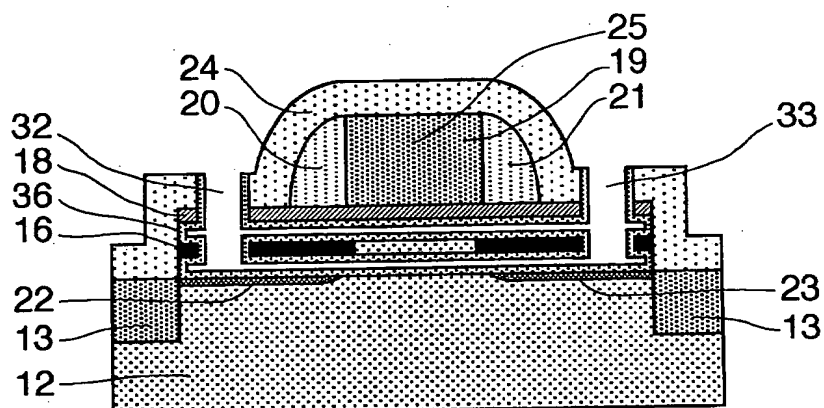
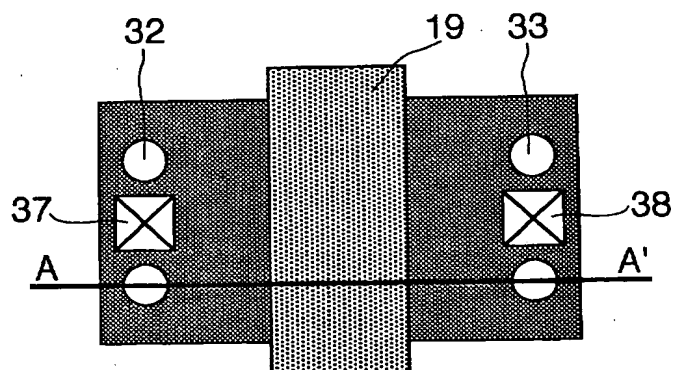
FIG.4c



3/4

FIG.5

4/4

FIG.6aFIG.6bFIG.6c

S PAGE BLANK (USPTO)

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

**RAPPORT DE RECHERCHE
PRELIMINAIRE**
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 574136
FR 9908248

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	JURCZAK M ET AL: "SON (silicon on nothing)-a new device architecture for the ULSI era" 1999 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS (IEEE CAT. NO.99CH36325), 1999 SYMPOSIUM ON VLSI TECHNOLOGY. DIGEST OF TECHNICAL PAPERS, KYOTO, JAPAN, 14-16 JUNE 1999, pages 29-30, XP002133376 1999, Tokyo, Japan, Japan Soc. Appl. Phys, Japan ISBN: 4-930813-93-X * le document en entier *	1,3-6
X	"MOS TRANSISTORS WITH BOTTOM-ISOLATED SOURCE/DRAIN REGIONS" RESEARCH DISCLOSURE, GB, INDUSTRIAL OPPORTUNITIES LTD. HAVANT, no. 398, 1 juin 1997 (1997-06-01), pages 378-379, XP000726504 ISSN: 0374-4353 * le document en entier *	1,4,5
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 406 (E-1585), 28 juillet 1994 (1994-07-28) -& JP 06 120490 A (HITACHI LTD), 28 avril 1994 (1994-04-28) * abrégé; figures 13-15 *	1,3,4
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.7)
		H01L
Date d'achèvement de la recherche		Examineur
17 mars 2000		Gélébart, J
CATEGORIE DES DOCUMENTS CITES		
<p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

2

EPO FORM 1508 03.02 (P04C13)

THIS PAGE BLANK (USPTO)